

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Jang-hyoun YOUM et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: October 10, 2003

Examiner: Unassigned

For: HEAT DISSIPATION SYSTEM FOR SEMICONDUCTOR DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Korean Patent Application No(s). 2002-70584

Filed: November 14, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

By: 

Michael D. Stein  
Registration No. 37,240

Date: October 10, 2003

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0070584  
Application Number PATENT-2002-0070584

출원년월일 : 2002년 11월 14일  
Date of Application NOV 14, 2002

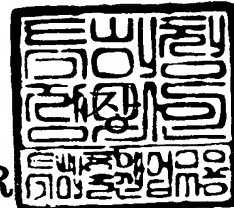
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002    년    12    월    02    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.14
【발명의 명칭】	반도체 장치의 방열 시스템
【발명의 영문명칭】	HEAT DISSIPATION SYSTEM FOR SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	허성원
【대리인코드】	9-1998-000615-2
【포괄위임등록번호】	1999-013898-9
【발명자】	
【성명의 국문표기】	염장현
【성명의 영문표기】	YOUM, JANG HYOUN
【주민등록번호】	691007-1109514
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 삼성래미안아파트 436동 404호
【국적】	KR
【발명자】	
【성명의 국문표기】	박원기
【성명의 영문표기】	PARK, WON KI
【주민등록번호】	710427-1000116
【우편번호】	120-101
【주소】	서울특별시 서대문구 홍은1동 435-6 12/5
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 허성원 (인)

**【수수료】**

<b>【기본출원료】</b>	19	면	29,000	원
<b>【가산출원료】</b>	0	면	0	원
<b>【우선권주장료】</b>	0	건	0	원
<b>【심사청구료】</b>	7	항	333,000	원
<b>【합계】</b>	362,000	원		

**【요약서】****【요약】**

본 발명은 복수의 반도체칩과, 상기 반도체칩을 냉각시키기 위한 방열부재를 포함하는 반도체 장치의 방열 시스템에 관한 것으로서, 상기 방열부재와 대향 배치되며 상기 반도체 장치에 결합되어 그라운드에 접속되는 외부 방열부재와; 상기 방열부재와 상기 외부 방열부재 사이에 마련되어 상기 방열부재 및 상기 외부 방열부재와 서로 전기적으로 접속되는 전기전도부재와; 상기 방열부재와 상기 외부 방열부재 사이에 삽입되는 열전도성 절연부재를 포함하는 것을 특징으로 한다. 이에 의하여 반도체 장치의 내부 방열부재와 외부 방열판 사이의 기생용량을 제거시킴으로써 공통모드 노이즈 인가시 내성을 높이면서 반도체 장치의 방열 효과도 함께 높일 수 있다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

반도체 장치의 방열 시스템 {HEAT DISSIPATION SYSTEM FOR SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1은, 본 발명에 따른 방열 시스템 구성도,  
도 2는, 본 발명에 따른 방열 시스템의 결합 단면도,  
도 3은, 본 발명에 따른 전력 소자의 부분 확대도,  
도 4는, 도 1의 전기전도부재의 확대 단면도,  
도 5는, 종래의 방열 시스템의 결합 단면도,  
도 6은, 도 5의 회로도이다.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

10 : 전력 소자(IPM)	11 : 베이스플레이트
14, 15 : 반도체칩	20 : 전기전도부재
21 : 돌기부	30 : 열전도 절연부재
40 : 외부 방열판	41 : 접지접속부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 방열 구조를 개선하여 노이즈를 억제할 수 있는 반도체 장치의 방열 시스템에 관한 것이다.
- <13> 반도체 기술의 발전으로 전력 소자에 의해 전기에너지를 열에너지, 기계에너지, 전기에너지 등으로 전환하여 사용하는 것은 일반화 되어있다. 이러한 반도체 전력 소자에 이용되는 BJT, FET, IGBT(insulated gate bipolar transistor:절연 게이트 양극성 트랜지스터) 등의 능동 스위칭 소자는 사용자의 신호에 의해 온/오프를 결정할 수 있다. 또한 최근에는 전력 소자를 제어할 수 있는 제어칩을 함께 내장한 능동형 전력 소자인 지능형 전력 모듈(intelligent power module; IPM)도 개발되고 있다.
- <14> 그런데 전력 소자의 스위칭 동작시에는, 내부 기생 저항으로 스위칭 소자의 도통시에 발생하는 열 손실(Conduction Loss) 및 스위칭 동작(온/오프 반복)으로 발생하는 스위칭 손실(Switching Loss)로 인하여 전력 소자 자체의 온도가 상승하게 된다. 일반적으로 이러한 열 손실과 스위칭 손실로 인한 열에너지를 방열시키기 위하여, 전력 소자의 한쪽 면에는 방열용 금속판을 결합시킨 구조를 갖고 있다.
- <15> 도 5는 전력 소자의 방열구조로서, 전력 소자인 IPM(10)과 제어보드(50)로 구성된 전력 변환 시스템의 개략도이다. 여기에서 전력 소자(10)는 방열성을 높이기 위하여 소자의 밑면을 금속성의 베이스플레이트(11)로 구성한다. 베이스플레이트 위에는 절연층(13)을 형성하고, 그 위에 소정의 회로패턴을 마련하여 그에 따른 다수의 반도체칩(14,

15)을 회로에 따라 마련하고, 각 반도체 소자를 와이어로 본딩하여 전력 소자를 구성한다. 이에 의해 다수의 스위칭 소자(14)로 이루어진 인버터 회로(도 6 참조)를 구성할 수 있다. 이때 스위칭 소자(14)는 능동 소자인 IGBT로 구성되어 있다. 또한 게이트 신호에 의해 인버터를 구성하는 스위칭 소자(14)의 스위칭 동작을 PWM(pulse width modulation; 펄스폭 변조)제어하는 제어칩(15)의 패턴도 함께 형성되어 있다. 제어칩(15)은 PWM제어를 수행하여 각 스위칭 소자의 온오프에 의해 원하는 주파수, 전압으로 변환된 전원을 부하(모터)로 공급한다. 아울러, 제어칩(15)은 각 스위칭 소자(14)의 과전류, 단락전류 및 과열, 제어전원의 과전압, 부족전압 등 IPM(10)의 각종 정보들도 제어보드(50)에 전달한다. 그리고 전력 소자(10)의 방열성을 더 높이기 위하여 베이스플레이트(11)와 밀착되는 외부 방열판(40)을 접착제, 나사 체결 등의 수단으로 결합하도록 한다.

<16> 그런데, 전력 소자(10)의 베이스플레이트(11)와 외부 방열판(40)을 기구적으로 편평도(flatness)가 좋도록 설계하여 결합하더라도, 제조상의 공차에 의해 양자 사이에 소정의 간극이 발생되어 방열 효율이 떨어질 수 있다. 따라서 베이스플레이트(11)와 외부 방열판(40) 사이의 간극에 열전도 특성이 우수한 절연물질인 그리스(30) 등으로 채워넣는다. 그러나, 전기전도특성을 가지고 있지 않는 그리스(30)가 유전체로 작용하여 베이스플레이트(11)와 외부 방열판(40)의 두 도전체 사이에 기생용량(31; 도 6 참조)이 발생할 수 있다.

<17> 한편, 반도체 전력 소자의 내부는 높은 절연저항을 갖도록 설계되어 있으므로, 스위칭 소자의 온/오프에 의해 스위칭 동작을 시키기 위해서는 외부 전압(다이오드일 경우)이나 게이트 신호(능동소자일 경우)를 인가하여야 한다. 그러나 전원측의 노이즈, 낙뢰, 또는 기타 외부로부터의 고압이 전력 소자로 인가되면, 전력 소자 내부의 절연저



항이 파괴되거나 신호의 왜곡 등으로 스위칭 소자가 도통이 될 수 있어서, 전력 소자와 이를 적용한 시스템의 파괴를 야기할 수 있다.

<18> 도 6은 도 5의 전력 변환 시스템의 IPM(10) 및 제어보드(50)의 내부 회로를 도시한 것으로서, 3상 교류전원을 직류로 변환하여, 변환된 직류를 인버터를 거쳐 3상 교류서보 모터로 공급하기 위한 것이다. 즉 외부의 3상 교류전원은 교류 전원 터미널(60)부터 전선(61)을 통하여 공급되어 제어보드(50)에 마련된 정류회로(51,52)를 거쳐서 직류로 변환된다. 변환된 직류전원은 IPM(10)의 6개의 스위칭 소자(14)로 구성된 인버터회로를 거쳐 출력선(71)과 연결된 부하측 교류서보모터의 터미널(70)로 공급되어 모터를 구동시킨다. 그리고 제어보드(50)에 마련된 SMPS(switching mode power supply;53)와 제어회로(54)에 의해 스위칭 소자(14)를 제어하는 제어칩(15)의 구동을 제어한다.

<19> 여기에서 외부 방열판(40)의 접지부(41)는 전원측 접지선(42) 및 부하측 접지선(43)과 통상 나사결합에 의해 접속되어 있으며, 각 전원선(61)과 접지선(42) 사이에는 Y-커패시터(55)가 접속되어 있다.

<20> 위 회로에서 낙뢰나 전원측의 노이즈(틸레이나 필드에서 나타날 수 있는 스파이크성 고압)등이 외부로 연결된 전선(61, 71)에 인가될 경우에 공통모드 노이즈(common mode noise)가 발생한다. 공통모드 노이즈에 기인한 에너지는 Y-커패시터(55)를 거쳐 접지된 외부 방열판(40)을 통해 전원측의 접지(42)로 빠져 나가 전력 소자(10)의 내부 회로를 보호하도록 설계되어 있다. 이 때 충분히 큰 노이즈에 내성을 높이기 위하여 Y-커패시터의 용량을 증가시킬 수 있지만, 이럴 경우 시스템의 누설전류가 커지는 문제가 있다. 그리고 Y-커패시터(55)를 통해 빠져나가지

못하는 충분히 큰 노이즈성 에너지가 전력소자(10)의 내부 기생용량(각 스위칭 소자와 내부 방열부재 사이에 발생) 및 외부 기생용량(31)에 충전될 경우에 가장 낮은 전위를 통해 스위칭 소자가 도통되어 회로의 오동작을 유발시킬 수 있다. 즉 전력 소자의 스위칭 동작시에 도 6의 인버터 회로에서 상하의 두 스위칭 소자가 동시에 켜지면서 DC링크 단락 현상을 일으키게 되면 회로가 파손될 수 있는 문제점이 있다.

- <21> 이와 같이 공통모드 노이즈가 발생할 경우 반도체 전력소자에 형성되는 기생용량에 노이즈로 인한 에너지가 축적되어 시스템의 오동작이나 회로 손상 등의 악영향을 미치게 되는 것이다.

#### 【발명이 이루고자 하는 기술적 과제】

- <22> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 반도체 장치의 자체 방열부재와 외부 방열판 사이의 기생용량을 제거하여 공통모드 노이즈에 대한 내성을 높일 수 있는 반도체 장치의 방열시스템을 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <23> 상기 목적은, 복수의 반도체칩과, 상기 반도체칩을 냉각시키기 위한 방열부재를 포함하는 반도체 장치에 있어서, 상기 방열부재와 대향 배치되도록 상기 반도체 장치에 결합되어 접지선에 접속되는 외부 방열부재와; 상기 방열부재와 상기 외부 방열부재 사이에 마련되어 상기 방열부재 및 상기 외부 방열부재와 서로 전기적으로 접속되는 전기전도부재와; 상기 방열부재와 상기 외부 방열부재 사이에 삽입되는 열전도성 절연부재를 포함하는 방열 시스템에 의하여 달성된다.

- <24>       상기 전기전도부재는 박막층으로 이루어지는 것이 바람직하며, 또한 상기 박막층은 그 판면으로부터 돌출하여 상기 방열부재와 상기 외부 방열부재중 적어도 어느 하나의 판면과 접촉하는 돌기부를 갖는 것이 바람직하다. 또한 상기 박막층은 외주연에서 소정 간격을 두고 절취된 개구부를 갖고, 상기 열전도성 절연부재는 상기 개구부내에 수용되는 것이 바람직하다.
- <25>       상기 박막층의 재질은 주석도금한 구리판인 것이 바람직하며, 또한 상기 박막층의 두께는 200미크론 이하인 것이 바람직하다.
- <26>       또한, 상기 반도체칩은 적어도 하나의 전력 스위칭 소자를 포함하는 것이 바람직하다.
- <27>       이하에서는 첨부 도면을 참조하여 본 발명에 대하여 상세히 설명한다. 본 발명에서 전술한 도 5와 동일한 구성요소는 동일한 부호를 부여하여 설명한다.
- <28>       도 1은 본 발명에 따른 반도체 장치의 방열 시스템의 구성도로서, 도 5의 제어보드를 제외한 상태를 보이고 있다. 도시된 바와 같이, 본 발명에 따른 반도체 장치의 방열 시스템은, 복수의 반도체칩(14, 15; 도 2 참조)을 케이스(12; 도 2 참조)내에 조립한 IPM(10)과, IPM(10)을 냉각하도록 마련되어 있는 베이스플레이트(11; 도 2 참조)와, 베이스플레이트(11)와 대향 배치되도록 IPM(10)과 결합되어 있는 외부 방열판(40)과, 베이스플레이트(11)와 외부 방열판(40) 사이에 개재되어 양자를 전기적으로 접속시키는 전기전도부재(20)와, 베이스플레이트(11)와 외부 방열판(40) 사이에 삽입되는 열전도성 절연부재(30)로 이루어진다.

- <29> 이와 같이 본 발명의 반도체 장치는 베이스플레이트(11)가 마련된 IPM(10)이 전기 전도부재(20)를 개재하여 열전도 절연부재(30)가 삽입된 상태로 외부방열판(40)에 나사(80)로 체결되어 서로 결합되도록 구성되어 있다. 그리고 외부 방열판(40)은 전원측 접지선(42;도 2 참조) 및 부하측 접지선(43;도 2 참조)과 접속되는 접지접속부(41;도 2 참조)를 갖고 있다. 또한 베이스플레이트(11)와 외부 방열판(40)은 열전도성이 높은 금속 재질로 이루어져 있다.
- <30> 전기전도부재(20)는 IPM(10)의 케이스(12) 저면 외곽과 같은 크기로 형성되어 미소한 두께를 갖는 박막층으로 이루어진다. 또한 전기전도부재(20)에는 그 판면으로부터 돌출되는 돌기부(21)가 형성되어 있다. 돌기부(21)는 전기전도부재(20)의 소정 부위를 절취절곡하여 형성한 것으로, 본 실시예에서는 전기전도부재(20)의 네 모서리 부분에 각각 마련되어 있다. 전기전도부재(20)의 한쪽 면은 외부 방열판(40)과 접촉하고, 다른 쪽면의 돌기부(21)는 베이스플레이트(11)와 접촉하도록 배치한다. 물론 돌기부(21)를 전기전도부재의 양면으로 모두 돌출되게 형성하여 베이스플레이트(11) 및 외부 방열판(40)과 각각 접촉하도록 구성할 수도 있다.
- <31> 이에 따라 접지와 연결된 외부 방열판(40)과 전력소자(10)의 베이스플레이트(11)는 서로 전기적으로 접속시킬 수 있는 상태가 된다. 그리고 박막층으로 이루어진 전기전도부재(20)에는 외주연에서 소정 간격을 두고 절취된 개구부(22)가 형성되어 있다. 전기전도부재(20)의 개구부(22)에는 열전도 절연부재(30)가 수용된다.
- <32> 한편, 절연부재(30)는 베이스플레이트(11)와 외부 방열판(40) 사이에 발생될 수 있는 공간을 채우기 위하여 마련된다. 외부 방열판(40) 위에 배치되는 전기전도부재(20)의 개구부(22)에 의해 베이스플레이트(11)와의 사이에 공간이 형성되어진다. 또한,

IPM(10)의 외부 케이스(12)와 밀면의 베이스플레이트(11)간에 제조상의 공차로 미세한 높이 차이에 의한 간극( $t_1$ ; 도 3 참조)이 발생할 수 있다. 이와 같은 공간이 있는 상태로 베이스플레이트(11)에 전기전도부재(20)를 개재하여 외부 방열판(40)을 결합할 경우 방열 성능이 저하되므로, 전도 특성이 우수한 절연물질인 그리스 등의 절연부재(30)를 공간 내에 삽입하는 것이 바람직하다.

<33> 그리고 본 발명에서 전기전도부재(20)는 박막의 도전성 금속으로서 구리판을 이용하는 것이 바람직하며, 주석도금을 하여 녹을 방지할 수 있도록 하는 것이 바람직하다. 또한 전기전도부재(20)의 박막 두께( $t_2$ ; 도 4 참조)는  $200\mu\text{m}$ 이하인 것이 바람직하다.

<34> 도 2는 반도체 장치가 외부 방열판과 결합된 상태의 단면도로서, 도 5의 제어보드를 제외한 상태를 나타낸 것이다. 도시된 바와 같이 전력 소자(10)의 밀면에 마련된 금속성 베이스플레이트(11) 위에 절연층(13)을 형성하고, 그 위에 소정의 회로패턴을 마련하여 그에 따른 다수의 반도체칩(14, 15)을 회로에 따라 마련하고, 각 반도체 소자를 와이어로 본딩하여 전력 소자를 구성한다. 이에 의해 다수의 스위칭 소자(14)로 이루어진 인버터 회로(도 6 참조)를 구성할 수 있음은 물론이다. 이때 스위칭 소자(14)는 각종 능동소자로 구성할 수 있으며, 특히 IGBT로 구성할 수도 있다. 또한 각 스위칭 소자(14)의 스위칭 동작을 제어하여 원하는 주파수, 전압으로 변환된 전원을 부하(모터)로 공급하기 위한 제어칩(15)도 함께 형성되어 있다.

<35> 도 2에 나타난 바와 같이, 전기전도부재(20)를 외부 방열판(40)위에 배치하여 개구부에 해당하는 공간에 열전도부재(30)인 그리스를 도포하여 IPM(10)을 결합함으로써 외부 방열판(40)과 베이스플레이트(11)간의 밀착성을 증대시켜 방열 효율을 높일 수 있다.

즉 전력소자(10)로부터 발생한 열은 베이스플레이트(11)와 밀착된 열전도 절연부재(30)로 전도되고, 이 열이 다시 외부 방열판(40)으로 전도되어 외부로 발산되는 것이다.

<36> 또한 베이스플레이트(11)와 외부 방열판(40) 사이에 삽입된 전기전도부재(20)에 의해 양자가 전기적으로 접속될 수 있으므로, 베이스플레이트(11)와 접지에 연결된 외부 방열판(40) 사이에 절연부재(30)가 삽입되어 있더라도 기생용량이 발생하는 것을 막을 수 있다.

<37> 이러한 방열구조에 의해 전원측의 노이즈, 낙뢰 기타 외부 고압으로 인한 공통모드 노이즈가 발생하더라도 전력 소자(10)의 베이스플레이트(11)와 외부 방열판(40) 사이에 외부 기생용량이 형성되지 아니하므로, 종래와 같이 외부 기생용량에 노이즈 에너지가 축적되는 것을 방지할 수 있다. 따라서 공통모드 노이즈가 발생할 경우 반도체 전력소자에 형성되는 외부 기생용량에 의한 회로의 오동작이나 소자의 손상 등을 방지할 수 있게 된다.

#### 【발명의 효과】

<38> 상기와 같이 본 발명에 따르면, 반도체 장치의 내부 방열부재와 외부 방열판 사이에 전기전도성 박막층을 삽입하여 그 사이의 기생용량을 제거시킴으로써 공통모드 노이즈 인가시 내성을 높일 수 있다. 동시에 내부 방열부재와 외부 방열판 사이에는 열전도 물질이 삽입됨으로써 반도체 장치의 방열 효과도 함께 높일 수 있다.

**【특허청구범위】****【청구항 1】**

복수의 반도체칩과, 상기 반도체칩을 냉각시키기 위한 방열부재를 포함하는 반도체 장치의 방열 시스템에 있어서,

상기 방열부재와 대향 배치되며 상기 반도체 장치에 결합되어 그라운드에 접속되는 외부 방열부재와,

상기 방열부재와 상기 외부 방열부재 사이에 마련되어 상기 방열부재 및 상기 외부 방열부재와 서로 전기적으로 접속되는 전기전도부재와,

상기 방열부재와 상기 외부 방열부재 사이에 삽입되는 열전도성 절연부재를 구비한 것을 특징으로 하는 반도체 장치의 방열 시스템.

**【청구항 2】**

제1항에 있어서,

상기 전기전도부재는 박막층으로 이루어진 것을 특징으로 하는 반도체 장치의 방열 시스템.

**【청구항 3】**

제2항에 있어서,

상기 박막층의 소정 위치에 그 판면으로부터 돌출하여 상기 방열부재와 상기 외부 방열부재중 적어도 어느 하나의 판면과 접촉하는 돌기부를 갖는 것을 특징으로 하는 반도체 장치의 방열 시스템.

**【청구항 4】**

제3항에 있어서,  
상기 박막층은 외주연에서 소정 간격을 두고 절취된 개구부를 갖고,  
상기 열전도성 절연부재는 상기 개구부내에 수용되는 것을 특징으로 하는 반도체 장치의 방열 시스템.

**【청구항 5】**

제3항에 있어서,  
상기 박막층은 주석도금한 구리판인 것을 특징으로 하는 반도체 장치의 방열 시스템.

**【청구항 6】**

제3항에 있어서,  
상기 박막층의 두께는 200미크론 이하인 것을 특징으로 하는 반도체 장치의 방열 시스템.

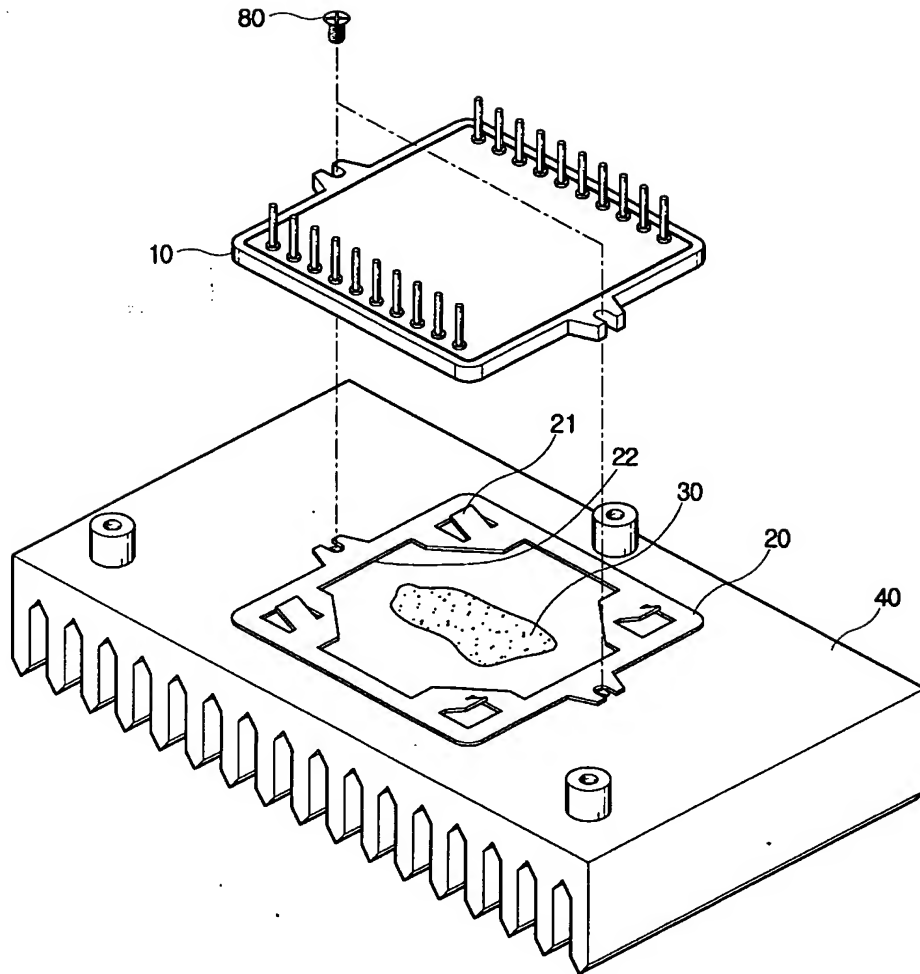
**【청구항 7】**

제3항에 있어서,  
상기 반도체칩은 적어도 하나의 전력 스위칭 소자를 포함하는 것을 특징으로 하는 반도체 장치의 방열 시스템.

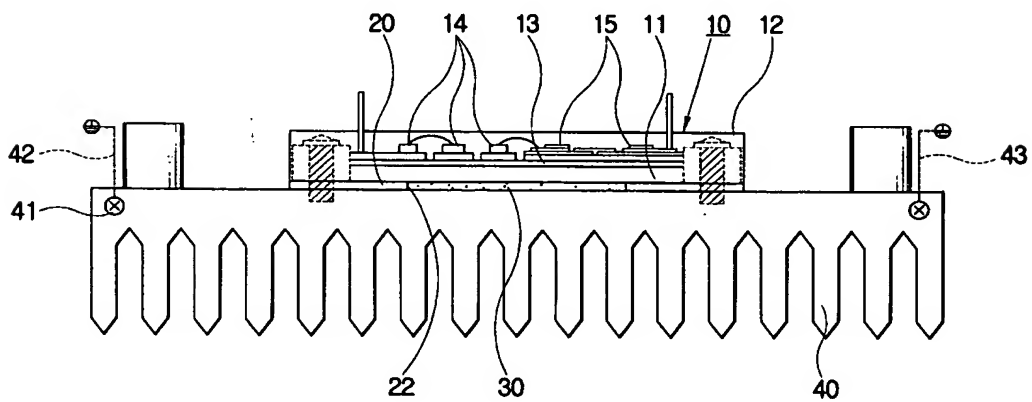


【도면】

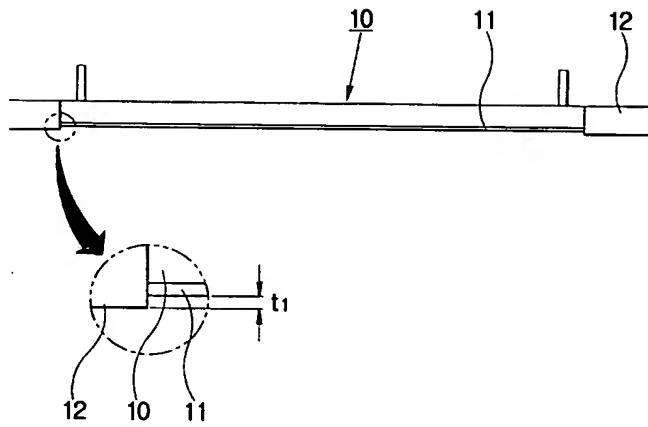
【도 1】



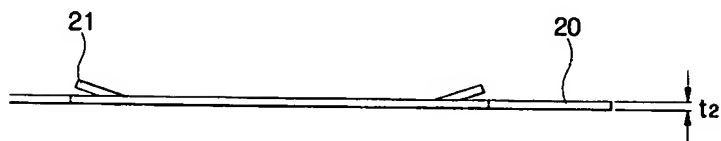
【도 2】



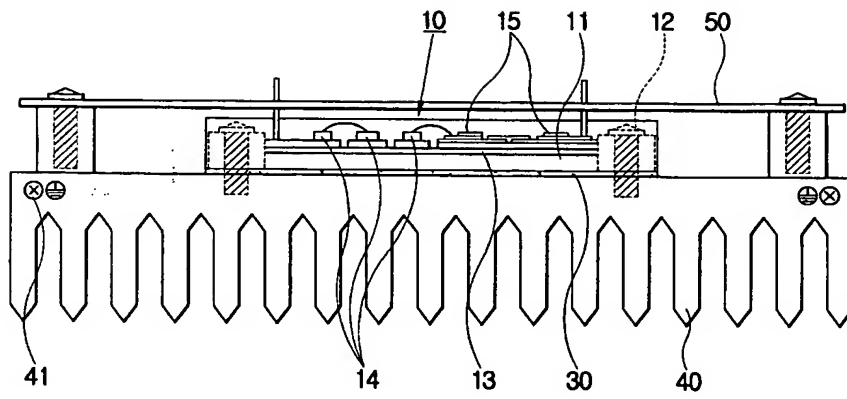
【도 3】



【도 4】



【도 5】



【도 6】

